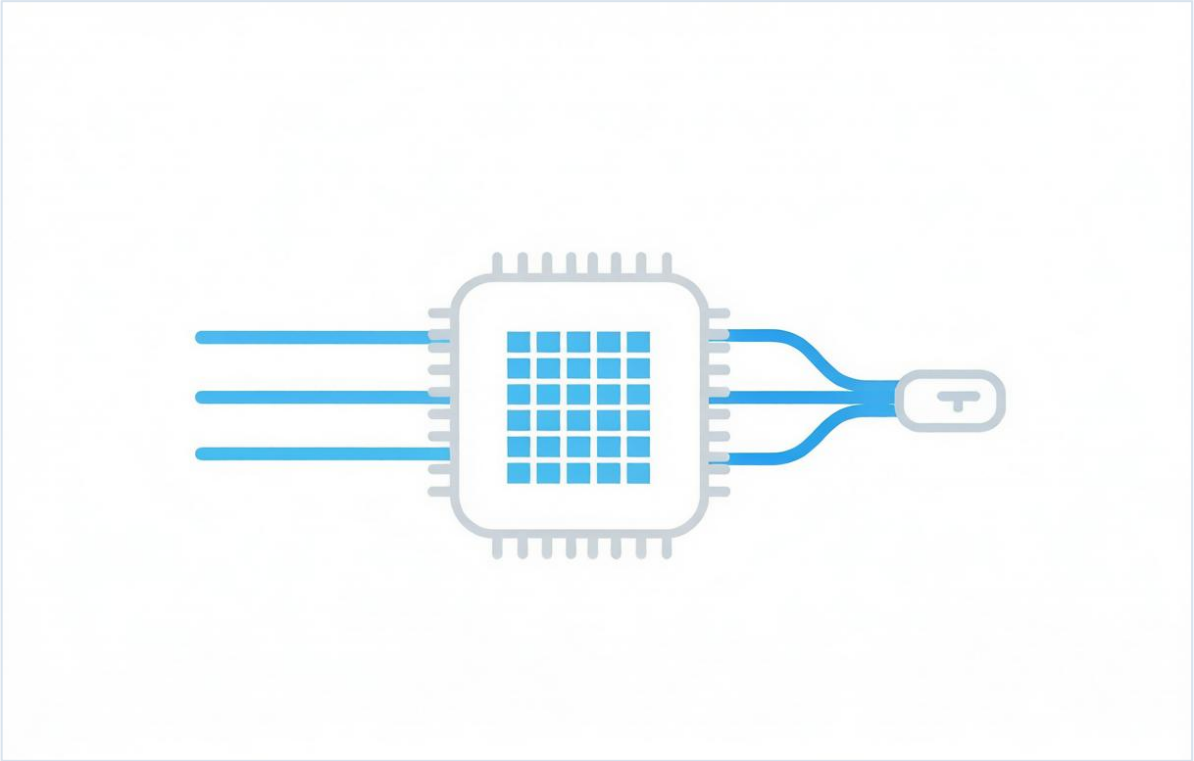
fpgausb.com

USB 3.2 Gen2x2 · 20 Gbps · 全平台 FPGA

一颗 FPGA 就能跑满 USB 3.2 20G

PX USB3.2 20Gbps Device IP —— 基于 FPGA 内置 SerDes 的 USB 3.2 一站式解决方案。

无需外部 PHY，无需 FX20 控制器，吞吐 >16 Gbps 且全双工。



电话 / 微信：13423249685

CONTENTS

目录

01 **USB 3.2 是什么**

从 12 Mbps 到 20 Gbps 的完整演进

02 **FPGA 与 ASIC 的区别**

器件选型的根本分野

03 **双重重构优势**

软件 IP 层 + FPGA 器件层

04 **我们的 IP**

规格、架构与四大优势

05 **三大应用场景**

采集卡 / 工业相机 / 10G 网卡

06 **对标 FX20**

少一颗芯片，少一份风险

01

USB 3.2 是什么？

从 12 Mbps 到 20 Gbps —— 一条持续向上攀升的速度主线

MODULE 01

USB 速度演进：二十年约 1600 倍

每一次跃迁背后都是同一个驱动力：设备能产生的数据越来越多，接口必须跟上。

1996
USB 1.x
12 Mbps
全速 · 半双工

2000
USB 2.0
480 Mbps
高速 · 半双工

2008
USB 3.0
5 Gbps
Gen1x1 · 首次全双工

2013
USB 3.1
10 Gbps
Gen2x1 · 128b/132b

2017
USB 3.2
20 Gbps
Gen2x2 · 双 Lane

注：Gen1x2（10 Gbps）因沿用旧式 8b/10b 编码，原始数据率仅 1.0 GB/s，实际比 Gen2x1 的 1.212 GB/s 更慢。

MODULE 01

命名混乱与双 Lane 机制

「USB 3.1」「USB 3.2」这些字眼本身说明不了速度 —— 必须看它后面跟的是哪一档。

代际	规格名	旧名	速率	编码	Lane	原始数据率	连接器
USB 1.x	Full Speed	—	12 Mbps	—	x1 半双工	—	USB-A
USB 2.0	High Speed	—	480 Mbps	—	x1 半双工	—	USB-A
USB 3.0	**Gen1x1**	3.1 Gen1 / 3.2 Gen1	5 Gbps	8b/10b	x1 全双工	0.5 GB/s	USB-A / C
USB 3.1	**Gen2x1**	USB 3.2 Gen2	10 Gbps	128b/132b	x1 全双工	1.212 GB/s	USB-A / C
USB 3.2	Gen1x2	—	10 Gbps	8b/10b	x2 全双工	**1.0 GB/s**	USB-C
USB 3.2	**Gen2x2**	—	**20 Gbps**	128b/132b	x2 全双工	**2.424 GB/s**	**USB-C 必须**

为什么 20 G 必须用 USB-C？ 双 Lane 需要第二对高速差分线对来承载第二条通道，而 USB-A / USB-B 的针脚定义里并不具备这对线 —— USB-C 提供了这个物理前提，双 Lane 才有落地的可能。

02

FPGA 与 ASIC 的区别

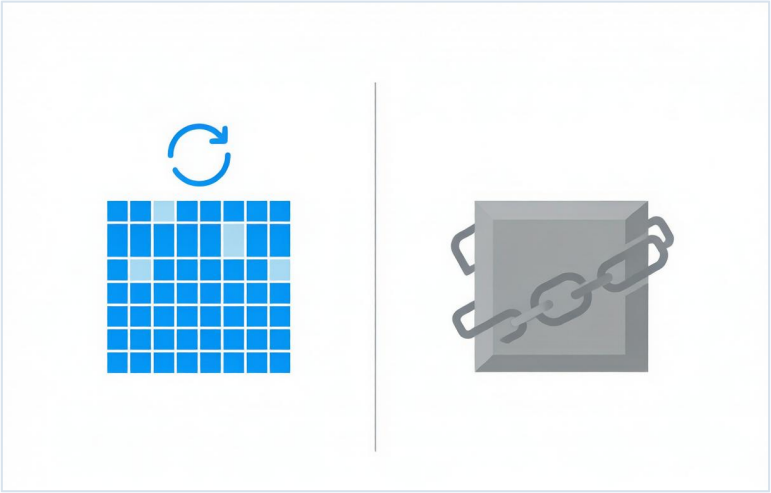
不是「哪个更好」，而是风险结构的根本差异

MODULE 02

ASIC 的代价 vs FPGA 的价值

ASIC：强，但昂贵且不可逆

- 流片成本极高 —— 掩膜 + NRE，先进工艺下为数百万美元级投入
- 开发周期长 —— 设计、验证、流片到回片，动辄一年以上
- 硬件逻辑不可更改 —— 流片定型后只能改软件/固件，协议缺陷与功能变更无法补救
- 一次失误 = 数百万损失 + 数月重新流片
- 只适合千万级出货量 —— 小批量分摊不了 NRE，经济上不划算



FPGA：用可编程性换确定性

- 现场可重构 —— 改 bug、加功能、调协议版本，靠重新综合与布局布线即可完成，不必报废硬件
- 无掩膜成本 —— 不需要掩膜与 NRE，天然适合小批量与多型号
- 上市快 —— 跳过流片周期，产品迭代以「周」计而不是以「年」计
- 支持后期远程升级 —— 已部署在客户现场的设备也能获得新能力

MODULE 02

什么时候该用哪个？

维度	ASIC	FPGA
硬件逻辑	流片后固定，不可更改	现场可重构，随时修改
一次性成本	掩膜 + NRE，极高	无掩膜成本
开发周期	长（常以年计）	短（以周计）
改动方式	只能改软件 / 固件	软硬件均可改
适合出货量	千万级	小批量至中等批量皆可
供货风险	受晶圆厂 / 封测产能制约	可选平台多，供应链灵活
升级能力	硬件能力边界固定	可远程重新配置升级

一个实用的判断法

如果你的产品规格书在未来 **18** 个月内还有可能被修改，那它大概率不该是 **ASIC**。

03

双重重构优势

软件 IP 层可重构 + FPGA 器件层可重构 —— 一份随需求生长的接口方案

MODULE 03

两层可重构叠加

第一层：软件 IP 层可重构

以 IP 形式交付 —— 可裁剪、可组合的设计资产

配置维度	可调范围
协议版本	**Gen2x2 (20G) / Gen2x1 (10G) / Gen1x2 (10G) / Gen1x1 (5G)**
端点数量	最多 31 个（1 个默认控制端点 + 15 个输入端点 + 15 个输出端点）
缓冲区深度	**每个端点的缓冲区数量可按需配置**
位宽与时钟	128 位宽 @156.25 MHz / 64 位宽 @312.5 MHz
传输类型	控制 / 同步 / 中断 / 批量 —— 四种全部支持

第二层：FPGA 器件层可重构

- 改 bug —— 重新综合布局布线即可修正，不必报废硬件
- 加功能 —— 产品已出货，也能通过更新配置获得新能力
- 调协议版本 —— 客户要从 10G 升到 20G，重新配置即可，无需更换芯片
- 现场 / 远程升级 —— 部署在终端客户处的设备同样可以升级

两层叠加，不必在一次流片上赌上整个项目的成败。

ASIC 的能力边界在流片时被定格，FPGA 的能力边界在每一次配置时被重新定义。

04

我们的 IP

PX USB3.2 20Gbps Device IP —— 规格、架构与四大优势

MODULE 04

支持的速率模式

满足从 USB 3.2 到 USB 2.0 的全场景需求 —— 一颗 IP 覆盖 20 Gbps 到 12 Mbps 的完整谱系。

USB 3.2 部分（四条模式全部支持）

Gen2x2 — 20 Gbps ← 峰值档
Gen2x1 — 10 Gbps
Gen1x2 — 10 Gbps
Gen1x1 — 5 Gbps

USB 2.0 部分（向下兼容）

高速 HS — 480 Mbps
全速 FS — 12 Mbps

实现方式：外接 ULPI 接口的 USB 2.0 PHY 进行互联，
老设备插上依然能用，新设备插上能跑满。

关键性能指标

最高吞吐量 >16 Gbps（整条链路含外围接口同时跑满条件下可达的实测量级） | 全双工 IN 与 OUT 可同时跑满，不受外围接口限制 |
最多 31 个端点（1 控制 + 15 IN + 15 OUT） | 每个端点缓冲区数量可按需配置

MODULE 04

架构：三块协同

1

VexRiscv SoC

负责 USB IP 管理与 EP0 描述符枚举。枚举是 USB 设备能被主机识别的第一步，由一个开源、轻量的 RISC-V 软核统一处理。

2

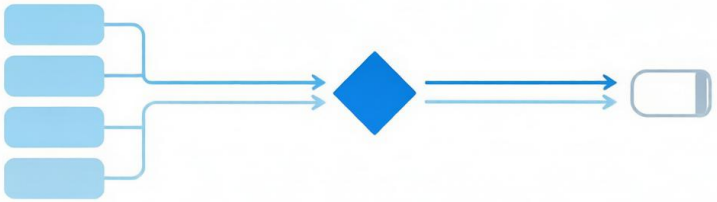
USB3.2 IP 主体

包含 usb3.2 与 usb2.0 两部分，覆盖两代协议栈。支持控制、同步、中断、批量四种传输类型。

3

双接口层分工

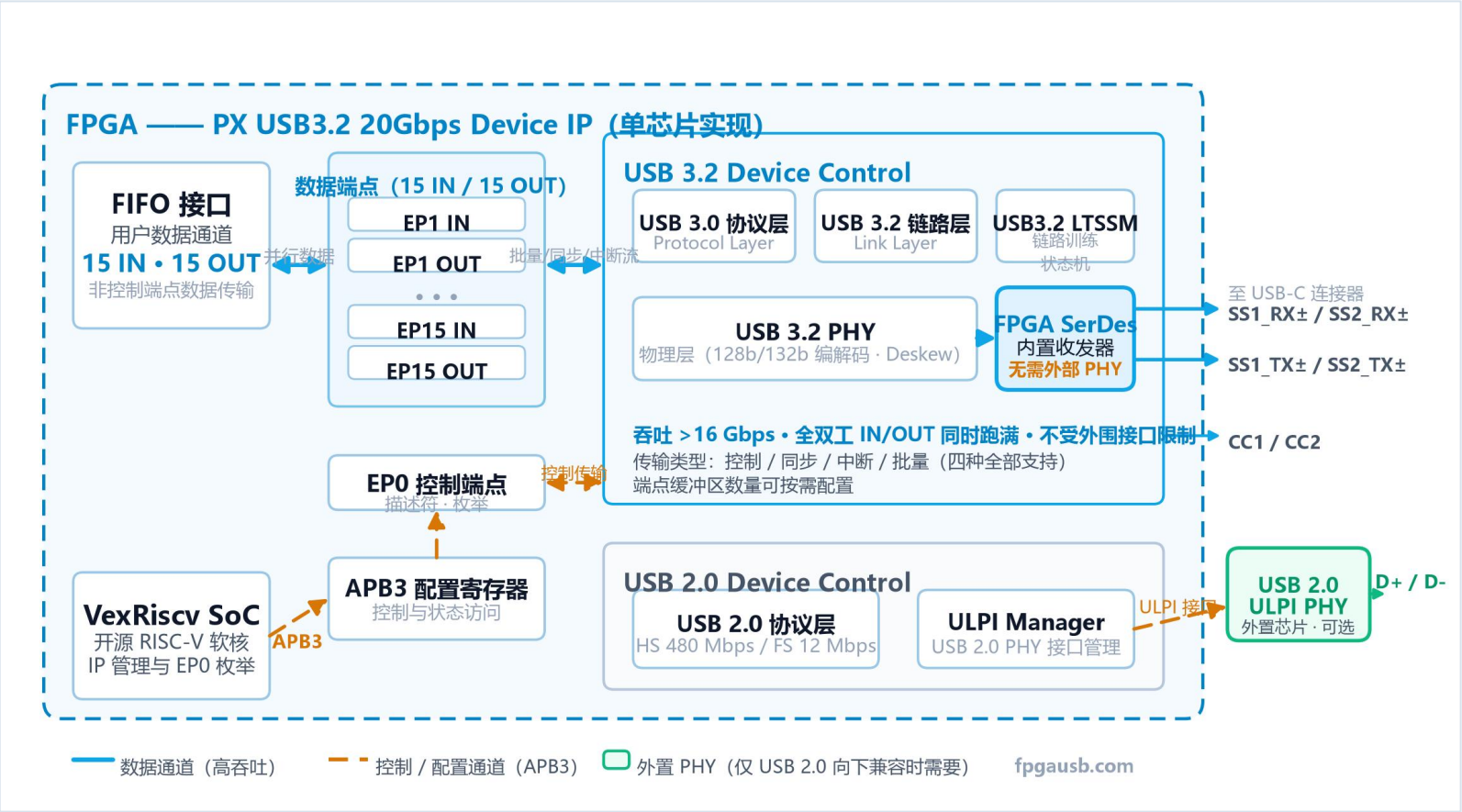
APB3 接口做软件管理控制传输（控制路径）；FIFO/RAM 接口做非控制端点数据传输（数据路径），保证最高吞吐量。



MODULE 04

系统框图

15 IN / 15 OUT 数据端点经 USB 3.2 Device Control 直达 FPGA 内置 SerDes；VexRiscv SoC 经 APB3 管理 EP0；USB 2.0 经外置 ULPI PHY 向下兼容。

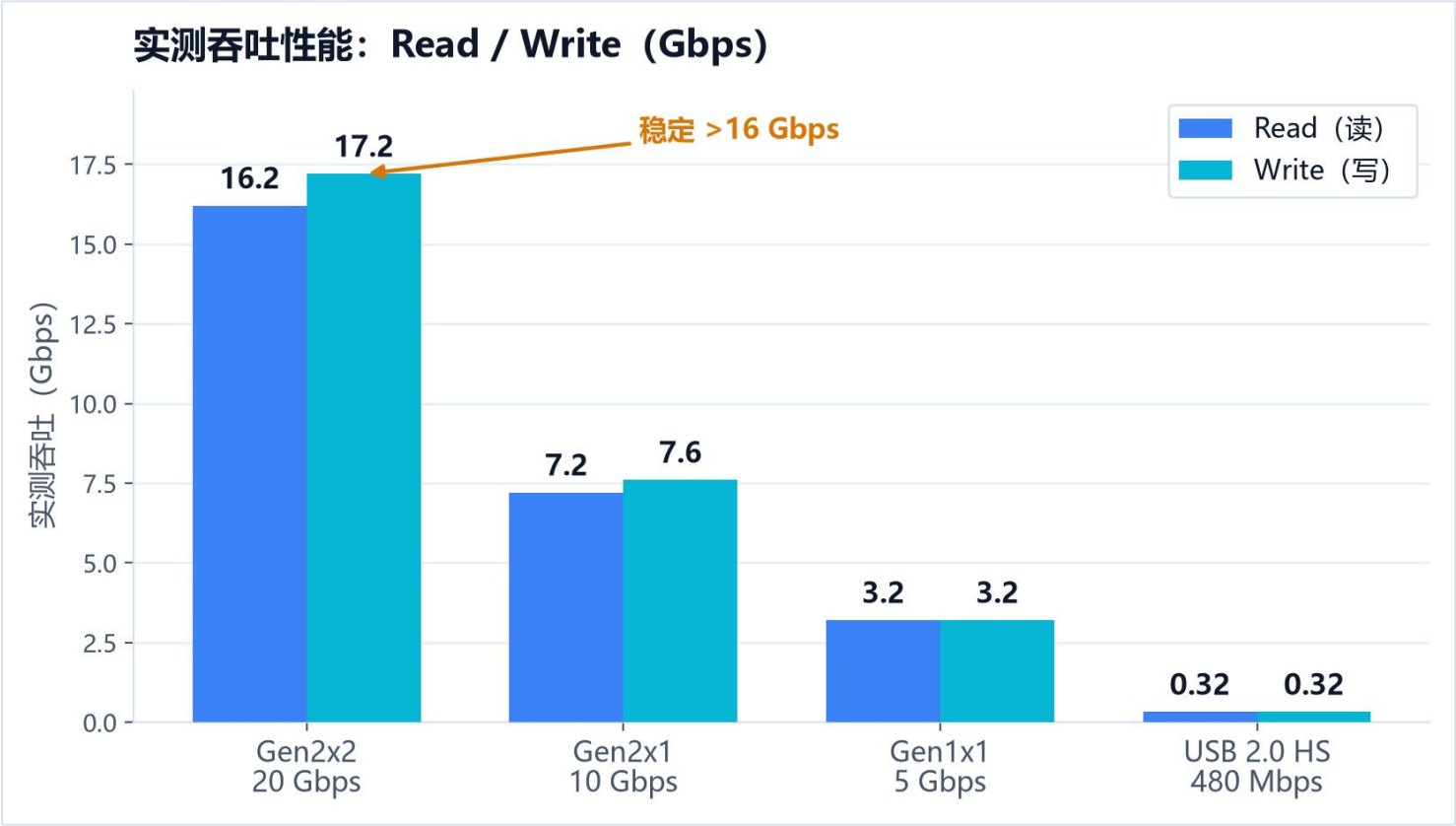


系统框图（依据产品规格书重构）—— 青色高亮：FPGA 内置 SerDes，无需外部 PHY；绿色：外置 ULPI PHY，仅 USB 2.0 向下兼容时需要

MODULE 04

实测吞吐性能：各速率档 Read / Write

20G 档稳定跑进 16+ Gbps，且全双工 —— IN 与 OUT 同时跑满（整条链路同时跑满条件下的链路实测量级）。



Gen2x2：Read 16.2 / Write 17.2 | Gen2x1：7.2 / 7.6 | Gen1x1：3.2 / 3.2 | USB 2.0 HS：0.32 / 0.32（Gbps，来源：产品规格书实测记录）

MODULE 04

资源消耗与 SerDes 要求

先看你手上是什么器件，再决定用哪一档 —— 以及 SerDes 速率是选型的第一道门。

资源消耗：两档配置

配置	LUT	FF	时钟	目标器件
128 位宽	**20K**	**20K**	156.25 MHz	28nm / 22nm 器件
64 位宽	**12K**	**12K**	312.5 MHz	16nm 器件

速率模式与 SerDes 要求

目标模式	速率	Lane 速率	SerDes 要求
Gen2x2	**20 Gbps**	每 Lane 10 Gbps	**需 ≥ 10 Gbps**
Gen2x1	10 Gbps	10 Gbps	**需 ≥ 10 Gbps**
Gen1x2	10 Gbps	每 Lane 5 Gbps	≥ 5 Gbps 即可

关键约束：SerDes 速率需 ≥10 Gbps 才能做 Gen2x2（20G，每 Lane 10G）。若只到 5 Gbps，则只能做 Gen1x2（10G）和 Gen1x1（5G）。

MODULE 04

四大优势与全平台兼容

01

无需外部 PHY

只用 FPGA 自带 SerDes 即可实现 USB 3.2 物理层，省掉外部 PHY 芯片，减少器件数量、PCB 复杂度与 BOM 成本。

02

全平台兼容

不绑定单一厂商。Xilinx（AMD）、安路、易灵思、紫光、复旦微、高云等平台均已适配，市面所有 FPGA 都支持。

03

资源低且可裁剪

20K LUT/FF（128 位宽）与 12K LUT/FF（64 位宽）双档配置；端点数量与缓冲区深度按需配置。

04

开箱易用

内置开源 VexRiscv SoC 处理枚举与管理；数据面提供简单的 FIFO 接口；无需关注各平台软核差异。

已适配的 **FPGA** 平台 —— 市面上所有 **FPGA** 都支持

Xilinx（AMD） • 安路 • 易灵思 • 紫光 • 复旦微 • 高云 • ……

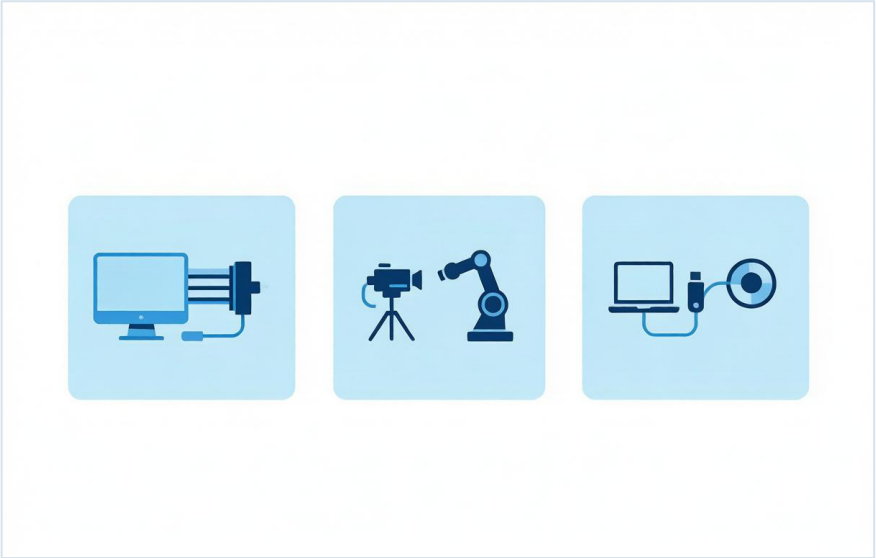
05

三大应用场景

采集卡、工业相机、10G 网卡 —— 它们的性能上限都由接口带宽直接决定

MODULE 05

三大落地场景



场景一 • UVC 采集卡

细化 HDMI / DisplayPort / SDI / GMSL 四类视频源。核心价值：只有 USB3.2 20G 能承载 4K60 RGB 无损采集。

场景二 • 工业相机

面向 USB3 Vision 标准。20G 解决「高分辨率就必须降帧率」的老问题，配合 31 端点支持多相机单链路汇聚。

场景三 • USB 转 10G 网卡

10GBASE-T 需 10 Gbps 线速。USB3.0 标称即不够，USB3.1 扣开销后仅 6.4–8 Gbps，只有 20G 留够余量。

MODULE 05

带宽论证：为什么只有 20G 装得下 4K60 RGB

3840 × 2160 × 60 × 24 bit ≈ 17.8 Gbps

4K60 未压缩 RGB 8bit 数据流本身就需要约 17.8 Gbps 带宽。对照各代 USB 的实际能力：

接口世代	标称速率	原始数据率	能否承载 4K60 RGB（17.8 Gbps）
USB 3.0 / Gen1x1	5 Gbps	0.5 GB/s	✕ 差得远
USB 3.1 / Gen2x1	10 Gbps	1.212 GB/s	✕ 不够 **17.8 Gbps**
USB 3.2 Gen1x2	10 Gbps	1.0 GB/s（8b/10b）	✕ 比 **Gen2x1** 更差

补充论证与说明

- 即便退一步改用 YUV422 10bit，4K60 需求约 14.9 Gbps —— 依然在 10G 档位之上，仍然只有 20G 能承载。
- USB 转 10G 网卡同理：USB3.1 扣除协议开销后有效带宽约 0.8–1 GB/s（折合 6.4–8 Gbps，业内公开实测典型值），达不到 10GBASE-T 线速；只有 20G 的 >16 Gbps 真实吞吐留够余量。

06

对标英飞凌 FX20

少一颗芯片，少一份风险，多一份余地

MODULE 06

FX20 方案 vs 我们的方案

对标对象：英飞凌 / 赛普拉斯 EZ-USB FX20，型号 CYUSB4024-FCAXI。以下数据均来自公开可查来源。

FX20 方案

FX20 芯片 + FPGA 芯片（≥2 颗核心器件）

- ✕ 需要 **FX20 控制器芯片** + 一颗 **FPGA** 协同工作
- ✕ 需处理两芯片间的 **LVDS / LVCMOS 高速互连**
- ✕ PCB **层数与信号完整性**压力更大
- ✕ 核心芯片单价约 **$101.27 / 片**
- ✕ 分销交期长达 **38 周**（接近九个月）
- ✕ 能力边界由芯片固化，**按速率分档卖**
- ✕ 升级 = **换芯片**（FX5 / FX5N / FX10 / FX20）

PX USB3.2 20Gbps Device IP

仅 1 颗 FPGA，USB 3.2 在芯片内部实现

- ✓ **仅需 1 颗 FPGA**，无需 FX20 控制器
- ✓ **无需外部 PHY**，用 FPGA 自带 SerDes
- ✓ **无需高速互连**，PCB 复杂度显著降低
- ✓ 该颗百元美金级芯片成本**整体省去**，BOM 显著下降
- ✓ 交期取决于所选 FPGA，**可选平台多**、供应链灵活
- ✓ 能力边界**由配置决定**，按需升配
- ✓ 升级 = **重新配置**，不换料

MODULE 06

四项核心对标

器件数量

FX20 需 FX20 + FPGA 两颗芯片，还要处理 LVDS/LVCMOS 高速互连。我们只要一颗 FPGA。

价格

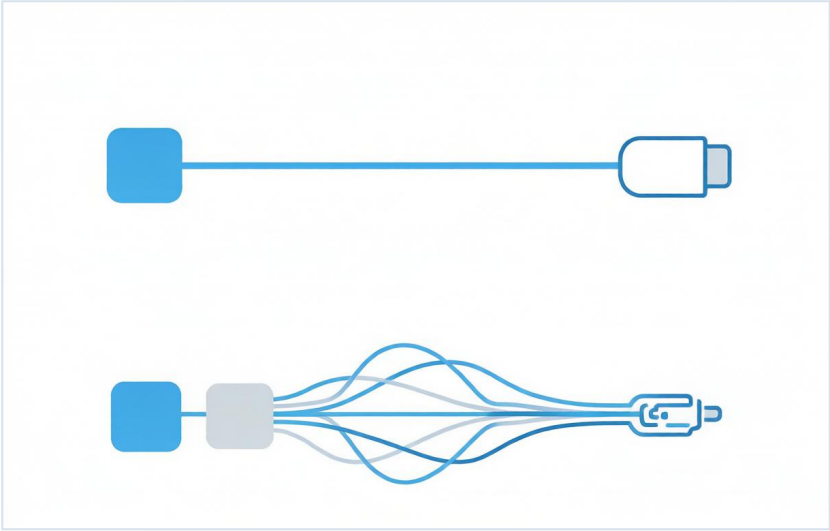
FX20 官方单价约 $101.27/片。我们把这颗百元美金级芯片整体省掉，BOM 显著下降。

交期供货

FX20 分销交期 38 周。我们不依赖该芯片，六平台可选，供应链灵活。

可重构性

FX20 按速率分档卖，升级得换芯。我们能力由配置决定，要升级改配置不换料。



性能对标

两者同一量级

我们 >16 Gbps（整条链路实测量级）且全双工 IN/OUT 同时跑满；FX20 官方实测峰值 17.6 Gbps。
测试条件与口径不同，不宜直接比数字大小 —— 更该看谁能稳定跑到你要的线速。

MODULE 06

坦诚说明：采用我们需要具备的能力

一份可信的商务论证不能只列对自己有利的维度 —— 搞清楚边界，才能判断哪些项目适合我们。

成熟度与生态

FX20 是量产成品芯片，有完整数据手册、参考设计、SDK 与社区。我们交付的是 IP，需集成到客户的 FPGA 项目走综合、布局布线、上板验证流程，需要客户具备一定 FPGA 开发能力。

对宿主 FPGA 的要求

FX20 内置自己的 USB PHY，不依赖外部 FPGA 的 SerDes 速率。我们建立在 FPGA 自带 SerDes 之上，要做 Gen2x2 就要求 SerDes ≥10 Gbps/Lane —— 这是必须提前确认的参数。

高速设计仍需投入

「无需外部 PHY」省掉的是芯片间互连，但不等于不需要做高速设计。SerDes 通道仍涉及差分走线、阻抗控制、参考时钟与板级信号完整性。准确说法是：我们把两颗芯片之间的互连问题，转化成了对 FPGA SerDes 通道的设计要求。

FPGA 资源占用

USB 3.2 逻辑占用 12K–20K LUT/FF，资源本就吃紧的小容量 FPGA 需评估能否留得下业务逻辑。FX20 把这些逻辑放在独立芯片里，不占 FPGA 资源。

01

少一颗芯片

省掉百元美金级的 FX20，连带省掉外部 PHY 与高速互连的复杂度。

02

少一份风险

不必等 38 周，也不必把供货押在单一芯片上，多平台可选。

03

多一份余地

能力由配置决定而非芯片决定，未来的协议升级不必重做硬件。

先确认一件事：你手上的 FPGA，SerDes 够不够 10 Gbps？

这是能否上 Gen2x2（20G）的第一道门。把计划使用的 FPGA 型号告诉我们，
我们可以帮你判断它能跑到哪一档速率、需要多少逻辑资源、以及需要预留哪些接口。

电话 / 微信

13423249685